

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-260690

(43)Date of publication of application : 03.10.1997

(51)Int.Cl. H01L 29/88
H01L 29/78

(21)Application number : 08-067628

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.03.1996

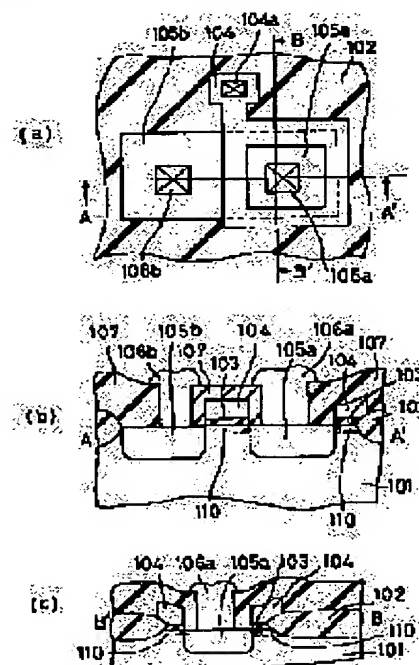
(72)Inventor : KOGA JUNJI

(54) SEMICONDUCTOR DEVICE AND SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance a MOS tunnel effect device surrounded with an element isolating region in negative resistance characteristics, so as to provide a semiconductor device which is suitable for integration.

SOLUTION: A semiconductor device is equipped with a semiconductor substrate 101 on which an element isolating region 102 is formed, a first and a second impurity region, 105a and 105b, are formed in an element region surrounded with the element isolating region 102 making at least either the region 105a or the region 105b separate from the element isolating region 102, and a gate electrode 104 formed on the semiconductor substrate 101 through the intermediary of a gate insulating film 103, as sandwiched in between the impurity regions 105a and 105b. In this case, a channel region 110 is formed between the impurity regions 105a and 105b, by controlling the gate electrode 104, and a tunnel diode is formed between the channel region 110 and either the impurity region 105a or the impurity region 105b.



LEGAL STATUS

[Date of request for examination] 25.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-260690

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl.⁶

H 0 1 L 29/88
29/78

識別記号 庁内整理番号

F I

H 0 1 L 29/88
29/78

技術表示箇所

Z
3 0 1 S
3 0 1 G
3 0 1 J

審査請求 未請求 請求項の数15 O L (全 12 頁)

(21) 出願番号 特願平8-67628

(22) 出願日 平成8年(1996)3月25日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 古賀 淳二

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

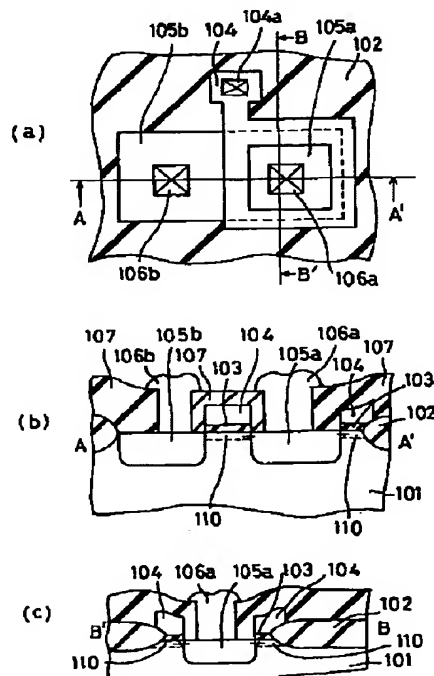
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体装置及び半導体集積回路

(57) 【要約】

【課題】 本発明は、素子分離領域により囲まれたMOSトネル効果素子において負性抵抗特性を良好なものとし、集積化に適した半導体装置を提供することを目的とする。

【解決手段】 本発明は表面に素子分離領域102が形成された半導体基板101と、素子分離領域に囲まれた素子領域に形成され、少なくともいずれかが前記素子分離領域と離れて形成された第1不純物領域及び第2不純物領域105a、105bと、第1不純物領域と第2不純物領域とにより両側から挟まれるように半導体基板101上にゲート絶縁膜103を介して形成されたゲート電極104が備えられ、ゲート電極104の制御により前記第1不純物と前記第2不純物領域との間にチャネル領域110が形成され、このチャネル領域と少なくとも前記第1不純物領域或いは第2不純物領域との間にトンネルダイオードが形成されることを特徴とする



【特許請求の範囲】

【請求項1】表面に素子分離領域が形成された半導体基板と、

前記素子分離領域に囲まれた素子領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極を両側から挟むように前記素子領域の表面領域に形成された複数の不純物領域と、

前記複数の不純物領域間に形成されたチャンネル領域とが備えられ、

前記不純物領域のうち、前記チャンネル領域との間にトンネルダイオードが形成される部分領域は前記素子分離領域から離して形成されていることを特徴とする半導体装置。

【請求項2】前記ゲート電極は前記部分領域を含む前記不純物領域を取り囲むように形成されたことを特徴とする請求項1記載の半導体装置。

【請求項3】前記複数の不純物領域の間に電位差を与えることにより前記チャンネル領域と前記素子分離領域から離して形成された前記部分領域との間に負性抵抗特性が現れることを特徴とする請求項1記載の半導体装置。

【請求項4】前記複数の不純物領域は互いに異なる導電型を備えることを特徴とする請求項1記載の半導体装置。

【請求項5】前記複数の不純物領域は互いに同じ導電型を備えることを特徴とする請求項1記載の半導体装置。

【請求項6】前記素子領域の半導体基板には凸部が形成され、この凸部の上部表面に少なくとも一の不純物領域が形成され、前記ゲート電極は前記凸部の側面に形成されたことを特徴とする請求項1記載の半導体装置。

【請求項7】前記半導体基板は表面に絶縁膜層及びこの上に形成された半導体層が備えられ、前記素子分離領域、前記不純物領域は前記半導体層の表面領域に形成され、前記ゲート電極は前記半導体層上に形成されたことを特徴とする請求項1記載の半導体装置。

【請求項8】前記素子分離領域から離して形成された前記部分領域の不純物濃度は 10^{19} cm^{-3} 以上 10^{22} cm^{-3} 以下であることを特徴とする請求項1記載の半導体装置。

【請求項9】前記複数の不純物領域の前記部分領域のいずれもが前記素子分離領域と離れて形成され、前記ゲート電極は前記部分領域を含む前記不純物領域のいずれも取り囲むように形成されたことを特徴とする請求項1記載の半導体装置。

【請求項10】前記ゲート電極の幅は $0.1 \mu\text{m}$ 以下であることを特徴とする請求項1記載の半導体装置。

【請求項11】表面に素子分離領域が形成された半導体基板と、

前記素子分離領域に囲まれた素子領域上にゲート絶縁膜を介して形成された複数のゲート電極と、

前記ゲート電極を両側から挟むように前記素子領域の表

面領域に形成された複数の不純物領域と、

前記複数の不純物領域間に形成された複数のチャンネル領域とが備えられ、

前記不純物領域のうち、前記チャンネル領域との間にトンネルダイオードが形成される部分領域は前記素子分離領域から離して形成され前記複数の不純物領域のうち、異なるチャンネル領域と隣接する異なる不純物領域同士が相互に接続されていることを特徴とする半導体装置。

【請求項12】表面に絶縁膜層が形成された半導体基板と、

前記絶縁膜層上に形成された半導体層と、

ゲート絶縁膜を介して前記チャンネル形成領域の上部、両側部、及び下部に隣接するように形成されたゲート電極と、

前記ゲート電極を両側から挟むように前記半導体層に形成された複数の不純物領域と、

前記複数の不純物領域に挟まれ、前記半導体層に形成されるチャンネル形成領域とを備え、

このチャンネル領域との間にトンネルダイオードが形成される前記不純物領域の部分領域は前記ゲート絶縁膜により覆われていることを特徴とする半導体装置。

【請求項13】表面に素子分離領域が形成された半導体基板と、前記素子分離領域に囲まれた素子領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極を両側から挟むように前記素子領域の表面領域に形成された複数の不純物領域と、前記複数の不純物領域間に形成されたチャンネル領域とが備えられ、前記不純物領域のうち、前記チャンネル領域との間にトンネルダイオードが形成される部分領域は前記素子分離領域から離して形成されている半導体装置と、

前記半導体基板上に前記半導体装置と同種或いは異種の半導体装置とが備えられたことを特徴とする半導体集積回路。

【請求項14】前記半導体基板上に前記半導体装置と同種の半導体装置が備えられたことを特徴とする請求項13記載の半導体集積回路。

【請求項15】前記半導体基板上に前記半導体装置とは異なるMOS型電界効果トランジスタ、Bipolarトランジスタ、或いはBiCMOS等の半導体装置が備えられたことを特徴とする請求項13記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に係り、特にMOS(Metal Oxide Semiconductor)構造のトンネル効果素子に関する。

【0002】

【従来の技術】高速化を目指してスケーリング則に基づいたMOSFETの微細化が進められている。しかし、サブミクロンの領域ではスケーリング則の破綻が現れ

る。特に $0.1\mu\text{m}$ 以下の領域では短チャネル効果によりトランジスタの所望のスイッチング動作が行えないという問題が発生する。

【0003】このような問題に対して、短チャネル化してもトランジスタ動作を保持できる素子が提案された (INFOS '79, Inst. Phys. Conf. Ser. No. 50, Chapter 2, p. 133, 1980)。この素子はトンネルダイオードをMOS構造に適用している。

【0004】この素子の構造、及び動作原理を上記文献に記載された断面図と等しい図16(a)を用いて説明する。この素子はp型のシリコン基板11の表面にシリコン酸化膜からなるゲート絶縁膜12が形成され、さらにこのゲート絶縁膜12の上にA1からなるゲート電極13が形成されている(MOS)。そして、ゲート電極13を両側から挟むように n^+ 型ソース領域14a及び p^+ 型ドレイン領域14bが形成されている。この素子は以下のようにゲート電極13を制御することで、トランジスタ動作を行うことができる。例えば、ゲート電極13に正電圧($V_g > 0$)を与えるとゲート電極13直下のシリコン基板11の表面領域にキャリアが誘起され n^+ 型のチャネル領域15が形成される。この結果、 n^+ 型のチャネル領域15と p^+ 型ドレイン領域14bによりpn接合(トンネルダイオード)が形成される。このトンネルダイオードが形成された状態で順方向のドレイン電圧を印加していくと図16(b)に示すような $I_d - V_d$ 特性を示す。図中の山点まではトンネル効果により順方向電流が流れるが、山点を越えて谷点にいたるとキャリアがトンネルできる状態が減少する為電流が減少する。このような $I_d - V_d$ 特性を負性抵抗特性と呼ぶ。谷点以降では拡散電流が流れる。

【0005】本素子ではゲート電極13の制御のみによりチャネル領域15の制御が可能である。又、空乏層はソース領域近傍にのみ伸びるので、従前のMOSFETで発生するパンチスルー現象等が本質的に排除でき、微細化に適した素子といえる。

【0006】この素子は時間的遅れの無いトンネル電流を利用しているため高速素子として有望である。又、ドレインの動作電圧が1V以下と低電圧であることから、低消費電力素子として実用性が高い。

【0007】さらに、その製造において、ソース・ドレイン領域14a, bの不純物添加の為にイオン注入を打ち分ける必要がある他は従前のMOSFETの製造工程に従って製造可能であるという長所もある。

【0008】

【発明が解決しようとする課題】本発明者らはこの素子の集積回路への適用の可否を知る為に、素子分離領域により囲まれた素子領域にこの素子を作成してその電気的特性を確認した。今日の集積回路の如く高密度に基板表面に素子を形成する為には、隣接する素子とを電気的に分離する素子分離領域が必要となる。

【0009】図17(a)は本発明者らが試作した素子の平面図である。但し、素子領域を覆う絶縁膜を除いて表している。シリコン基板21の表面にゲート絶縁膜23を介してゲート電極24を形成した。素子分離領域22に画定されるシリコン基板21の表面の素子領域にゲート電極24を両側から挟むように n^+ 型ソース領域23b及び p^+ 型ドレイン領域23aを形成した。ゲート電極24、ソース領域23b、及びドレイン領域23aには夫々ゲートコンタクト24a、ソースコンタクト25b、及びドレインコンタクト25aを形成し、これにより外部との接続を行う。

【0010】図17(b)は平面図(a)のA-A'断面を示す図である。シリコン基板21の表面に形成したLOCOS(Local Oxidation of Silicon)素子分離領域22により画定される素子領域にゲート電極24、ソース・ドレイン領域23a, bが形成されている。又、半導体基板21の表面には層間絶縁膜26を形成している。

【0011】この素子の室温(約300K)及び80Kにおける $I_d - V_d$ 特性を図18に示す。ゲート電極を0Vとしたときの特性を点線で、ゲート電極に7Vを印加したときの特性を実線で示す。ゲート電極に電圧を印加した場合には、チャネル領域と p^+ 型のドレイン領域との間にトンネルダイオードが形成され、負性抵抗特性が見られるはずであるが、図18の実線に示すように負性抵抗は見られない。

【0012】以上、説明した如く本発明者等はトンネルダイオードを利用したMOSトンネル効果素子を素子分離領域に囲まれた素子領域に従前のMOS構造により形成することで負性微分抵抗特性が見えなくなるという問題を発見した。本発明はこのような問題を解決し、集積化に適した半導体装置を提供することを課題とする。

【0013】

【課題を解決する為の手段】

【概要】上記課題を解決するために、本発明の第1は、表面に素子分離領域が形成された半導体基板と、前記素子分離領域に囲まれた素子領域上にゲート絶縁膜を界して形成されたゲート電極と、前記ゲート電極を両側から挟むように前記素子領域の表面領域に形成された複数の不純物領域と、前記複数の不純物領域間に形成されたチャネル領域とが備えられ、前記不純物領域のうち、前記チャネル領域との間にトンネルダイオードが形成される部分領域は前記素子分離領域から離して形成されていることを特徴とする半導体装置を提供する。

【0014】又、ゲート電極は前記部分領域を含む前記不純物領域を取り囲むように形成されることが好ましい。又、不純物領域間に電位差を与えることによりチャネル領域と前記部分領域との間に負性抵抗特性が現れるように形成することもできる。

【0015】不純物領域は互いに異なる導電型を有することも可能である。不純物領域は互いに同じ導電型を有

10

20

30

40

50

することも可能である。又、素子領域の半導体基板には凸部（或いは凹部）が形成され、この凸部（凹部）表面にいずれか一の不純物領域が形成され、ゲート電極は凸部（凹部）の側面に形成された装置も本発明の範囲に含まれる。

【0016】又、半導体基板は表面に絶縁膜層及びこの絶縁膜層上に形成された半導体層が備えられ、素子分離領域、及び不純物領域は半導体層の表面領域に形成され、ゲート電極は前記半導体層上に形成されたものも本発明の範囲に含まれる。

【0017】素子分離領域から離して形成された前記部分領域の不純物濃度は 10^{19} cm^{-3} 以上 10^{22} cm^{-3} 以下であることが良好なトンネルダイオードを得るため、或いは良好な負性抵抗特性を得るために好ましい。

【0018】又、複数の不純物領域の部分領域のいずれもが素子分離領域と離れて形成され、複数の部分領域を含む不純物領域のいずれもゲート電極により取り囲まれるように形成されているも本発明の範囲に入る。

【0019】ゲート電極の幅は $0.1 \mu\text{m}$ 以下である場合に特に顕著な効果が発揮できる。又、上記課題を解決するために、本発明の第2は、表面に素子分離領域が形成された半導体基板と、前記素子分離領域に囲まれた素子領域上にゲート絶縁膜を界して形成された複数のゲート電極と、前記ゲート電極を両側から挟むように前記素子領域の表面領域に形成された複数の不純物領域と、前記複数の不純物領域間に形成された複数のチャンネル領域とが備えられ、前記不純物領域のうち、前記チャンネル領域との間にトンネルダイオードが形成される部分領域は前記素子分離領域から離して形成され前記複数の不純物領域のうち、異なるチャンネル領域と隣接する異なる不純物領域同士が相互に接続されていることを特徴とする半導体装置を提供する。

【0020】又、上記課題を解決するために、本発明の第3は表面に絶縁膜層が形成された半導体基板と、前記絶縁膜層上に形成された半導体層と、ゲート絶縁膜を介して前記チャンネル形成領域の上部、両側部、及び下部に隣接するように形成されたゲート電極と、前記ゲート電極を両側から挟むように前記半導体層に形成された複数の不純物領域と、前記複数の不純物領域に挟まれ、前記半導体層に形成されるチャンネル形成領域とを備え、このチャンネル領域ととの間にトンネルダイオードが形成される前記不純物領域の部分領域は前記ゲート電極により覆われていることを特徴とする半導体装置を提供する。

【0021】さらに又、上記課題を解決するために、本発明の第4は、表面に素子分離領域が形成された半導体基板と、前記素子分離領域に囲まれた素子領域上にゲート絶縁膜を界して形成されたゲート電極と、前記ゲート電極を両側から挟むように前記素子領域の表面領域に形成された複数の不純物領域と、前記複数の不純物領域間に形成されたチャンネル領域とが備えられ、前記不純物領

域のうち、前記チャンネル領域との間にトンネルダイオードが形成される部分領域は前記素子分離領域から離して形成されている半導体装置と、前記半導体基板上に前記半導体装置と同種或いは異種の半導体装置とが備えられたことを特徴とする半導体集積回路を提供する。異種の半導体装置とは例えばMOS型トランジスタ、Bi polarトランジスタ、Bi CMOS等がある。

【作用】本発明者等は上記問題の発現が素子分離領域の端部によるものであると着眼し、上記手段を発明するに至った。つまり、図17(c)の断面図に示すように、素子分離領域端Eには局所的に応力が加わる為、近傍のシリコン基板表面でストレスに起因する欠陥が準位として作用する。そして、この順位を介したリーク電流が流れる。トンネルダイオードを利用した素子では負性抵抗特性による電流は微少であり、リーク電流により負性抵抗特性が見えなくなると考えられる。

【0022】本発明によればゲート電極への電圧の印加によって生成するチャンネル領域と異導電型の不純物領域との接合部に素子分離領域端の影響を排除できる素子構造を達成できる。従ってトンネル素子分離端に起因するリーク電流を完全に排除可能であり負性抵抗特性を発揮できるMOSトンネル効果素子を備えた集積化に適する半導体装置が得られる。

【0023】

【発明の実施の形態】本発明のMOSトンネル効果素子の実施の各形態を図面を用いて説明する。図1(a)は本発明の第1の実施の形態を示す平面図である。図1

(a)では素子領域を含むシリコン基板101上に形成された層間絶縁膜107を除いて示している。

【0024】ゲート電極104は p^+ 型のドレイン領域105aを囲むように形成され、ドレイン領域105aは素子分離領域102から離れて形成されている。シリコン基板101の素子領域を囲むように素子分離領域102が形成されている。 n^+ 型のソース領域105bはドレイン領域105aと共にゲート電極を両脇から挟むように素子領域内に形成されている。ゲートコンタクト104aは容量による遅延を防ぐ為、素子分離領域102上でゲート電極と接続させている。図1(a)のA-A'断面を層間絶縁膜107を含めて図1(b)に示す。ソース・ドレインコンタクト106b, 106aは基板101上の層間絶縁膜107中のソース・ドレイン領域105b, 105aに至る開口に形成されている。又、図1(c)は図1(a)のB-B'断面を層間絶縁膜を含めて示した図である。

【0025】この第1の実施の形態のゲート電極104に電圧（例えば3V）を印加するとシリコン基板101表面には反転層（ n^+ 型）110が形成され、ゲート電極104に囲まれた p^+ 型のドレイン領域105aの周囲にトンネルダイオードが形成される。

【0026】このように素子分離端の影響を排除したMOSトンネル効果素子の $I_d - V_d$ 特性は図2に示すよ

うに、ゲート電圧 V_g を約3V以上印加すると負性抵抗特性が表れる。従って、第1の実施の形態のようにドレイン領域105aを囲むようにゲート電極を形成し、ドレイン領域105aを素子分離領域102 から離して形成することで良好なトンネル効果を示すMOSトンネル効果素子を備えた半導体装置を達成できる。

【0027】又、第1の実施の形態ではp+型ドレイン領域の4辺を利用できるから、装置面積を増大させることなく電流量を増ぐことが可能となる。第1の実施の形態では、反転層を形成する場合を説明したが、ゲート電極の制御によりゲート電極下にキャリアの蓄積層(p+型)を形成する場合にはトンネルダイオードが形成されるn+型ソース領域の周囲にゲート電極を形成することで上述の効果が得られる。

【0028】又、ソース・ドレイン領域は同導電型として、チャネル領域をこれらと異なる導電型とする場合には、少なくとも順方向電圧が印加されるpn接合が形成される不純物領域の周囲をゲート電極により囲むことで上述の効果が得られる。

【0029】又、ゲート電極により取り囲まなくてもその周囲においてトンネルダイオードを形成する一不純物領域が素子分離領域端より離して形成され、不純物領域により両側から挟まれるように形成されたゲート電極を備える半導体装置によっても素子分離領域端部の影響が排除されるので本発明の効果が得られる。

【0030】次に第1の実施の形態の製造方法の一例を図3(a)~(c)乃至図4(a)~(b)を用いて説明する。まず、シリコン基板101上にLOCOS法により素子分離領域102を形成した後、シリコン基板101表面に厚さ約5nmの熱酸化膜103を形成する(図3(a))。

【0031】次に、シリコン基板101の表面にLPCVD(Low Pressure Chemical vapour Deposition)法等によりP、As等のn型の不純物を添加しながら多結晶シリコン膜を形成し、リソグラフィ工程及びRIE法等の異方性エッチングにより多結晶シリコン膜をゲート電極104に加工する(図3(b))。

【0032】この後、ソース予定領域105bを除く領域にフォトリソグリスを形成してこのフォトリソグリスをマスクとしてP、As等のn型の不純物、ここではAsを30keV、 $2 \times 10^{15} \text{cm}^{-2}$ の条件でイオン注入する。そしてフォトリソグリスをアッシング等により除去した後、図3(c)に示すように、ゲート電極104の内周に囲まれたドレイン予定領域105aを除く他の領域にフォトリソグリス108を形成する。このフォトリソグリス108をマスクとしてp型の不純物 BF_2 イオンを60keV、 $5 \times 10^{15} \text{cm}^{-2}$ の条件でイオン注入する。

【0033】次に、フォトリソグリスを除去した後、シリコン基板101の表面にLPCVD法等によりシリコン酸

化膜等の絶縁膜を層間絶縁膜109として形成する(図4(a))。又、熱処理によりソース・ドレイン予定領域105b、105aに注入した不純物を活性化させて、ソース、ドレイン領域105b、105aとする。

【0034】続いて、ゲートコンタクト104a、ソースコンタクト106b、及びドレインコンタクト106aの形成予定領域の層間絶縁膜109表面のみを露出してフォトリソグリスを形成し、これをマスクとしてRIE等のエッチングにより層間絶縁膜109に開口を形成する。そして、Al等の配線材料の金属膜を基板101表面にスパッタ法等により形成する。形成した金属膜をリソグラフィ工程及びエッチングによりゲート配線104a、ドレイン電極106a、及びソース電極106bとして第1の実施の形態のMOSトンネル効果素子が完成する。

【0035】図5(a)及び(b)は本発明の第2の実施の形態を説明するための平面図及び断面図である。但し、図5(a)では素子領域及び素子分離領域202を覆う層間絶縁膜206は除いている。

【0036】第2の実施の形態が第1の実施の形態と異なる点はソース・ドレイン領域205b、205aの双方の周囲を囲むようにゲート電極204が形成されていること、よってドレイン領域205aと同様にソース領域も素子分離領域202から離れて形成されている点である。

【0037】この第2の実施の形態の動作説明を以下にする。p型のシリコン基板201を使用して、ゲート電極204に正の電圧を印加するとゲート電極204直下の基板表面には反転層210が形成される。よって、反転層とp+型不純物領域との間にはトンネルダイオードが形成される。このトンネルダイオードに順方向のバイアスを印加してゆくと、負性微分抵抗特性が現れる。

【0038】又、ゲート電極204に負の電圧を印加するとゲート電極204直下の基板表面には蓄積層210が形成される。よって、蓄積層とn+型不純物領域との間にはトンネルダイオードが形成される。このトンネルダイオードに順方向のバイアスを印加してゆくと、負性微分抵抗特性が現れる。

【0039】この第2の実施の形態においても素子分離領域202の端部の影響が排除された素子構造となっているので、良好な負性微分抵抗特性が得られる。又、電流量を増げること第1の実施の形態と同じである。

【0040】又、第1の実施の形態と異なり、ゲート電極の制御によりいずれの不純物領域の端部においてもトンネルダイオードを形成できる。この第2の実施の形態は、ゲート電極を形成するためのフォトリソグリスマスクをゲート電極204の形に準備する他は第1の実施の形態と同様の方法により製造できる。従って、製造方法の詳細な説明は省略する。

【0041】図6(a)及び(b)は本発明の第3の実施の形態の半導体装置を説明するための平面図及び断面図である。但し、図6(a)の平面図では、基板301を覆

う層間絶縁膜を除いて表している。

【0042】シリコン基板301 上には素子領域を囲む素子分離領域302 が形成されている。素子領域の中央には n^+ 型のソース領域305bが形成され、これを囲むようにシリコン基板301 の上にゲート絶縁膜303 及びゲート電極304 が形成されている。そしてゲート電極304 の外側の基板301 の表面領域にはドレイン領域305aが形成されている。又、ゲート電極304 , ドレイン領域305a及びソース領域305bには互いに層間絶縁膜307 により電氣的に分離されたゲートコンタクト304a, ドレインコンタクト306a、ソースコンタクト306bが形成されている。

【0043】このように素子分離端の影響を排除したMOSトンネル効果素子の I_d-V_d 特性はゲート電圧 V_g を印加するとトンネル接合が形成されてドレイン電圧の印加に従い負性抵抗特性が表れる。又、不純物領域の4方をトンネルダイオードとして利用できるから、装置面積を増大させることなく電流量を稼ぐことが可能となる。

【0044】第3の実施の形態の製造方法を図7 (a) ~ (d) 乃至図8を用いて説明する。まず、シリコン基板301 の素子領域を囲む素子分離領域302 をLOCOS法等により形成する。そして、シリコン基板表面に熱酸化膜を形成し、この熱酸化膜の上にLPCVD法等により多結晶シリコン膜を形成する。この多結晶シリコン膜上にフォトレジストマスクを形成して、RIE法等のエッチングにより多結晶シリコン膜及び熱酸化膜をゲート電極304 及びゲート絶縁膜303 に加工する。この状態を図7 (a) の平面図及びこの平面図のA-A'断面を示す図7 (b) に図示する。

【0045】次に、図7 (c) の平面図及びA-A'断面を示す図7 (d) に示すように、ゲート電極304 とこの内側を含むようびフォトレジストマスクを形成し、ドレイン予定領域305aの為の不純物をイオン注入する。ドレイン領域をp型にする場合、 BF_3 等のp型の不純物を注入する。

【0046】次に、図8の断面図に示すようにソース領域305bを形成するために、P, As等のn型の不純物をイオン注入し、層間絶縁膜307 をシリコン基板301 の上に形成する。

【0047】続いて、ゲート電極304 、ソース領域305b 及びドレイン領域305aの各コンタクトを形成するために層間絶縁膜307 に開口を形成する。Al等の金属膜をスパッタ法等によりシリコン基板301 上に形成して、これをフォトレジストをマスクとしてRIE等のエッチングを行うことによりゲートコンタクト304aドレインコンタクト306a及びソースコンタクト306bを形成して本実施の形態が完成する。

【0048】図9は本発明の第4の実施の形態を説明するための平面図である。但し基板の素子領域及び素子分離領域上の層間絶縁膜は除いて表している。又、図10

(a) は図9のA-A'断面を示す図である。シリコン基板401 の表面に形成された素子分離領域402 により画定される素子領域には n^+ 型のソース領域406 、ゲート電極405 及び p^+ 型のドレイン領域404 が形成されている。ドレイン領域404は3次的に加工されたシリコン基板401 の凸部の上面に形成され、ゲート電極405 はゲート絶縁膜403aを介して凸部分の側壁部分に形成されている。ソース領域406 はゲート電極の周囲を囲むように形成されている。又、ゲート電極405 , ドレイン領域404 及びソース領域406 には互いに層間絶縁膜409 により電氣的に分離されたゲートコンタクト405a, ドレインコンタクト404a、ソースコンタクト406aが形成されている。

【0049】この第4の実施の形態では、ゲート電極405 の制御により蓄積層或いは反転層がゲート絶縁膜403 を介してゲート電極と隣接するシリコン基板401 の表面に形成される。これがチャネル領域410 となる。チャネル領域といずれかの不純物領域の接合部にトンネルダイオードが形成される。

【0050】次に、第4の実施の形態の製造方法の一例を図10 (a) ~ 図10 (c) 乃至図11 (a) ~

(b) を用いて説明する。まず、図10 (b) に示すように、シリコン基板401 の素子領域の中央にフォトリソグラフィ工程及びRIE等の異方性エッチングにより凸部分を形成し、この素子領域を囲む素子分離領域402 をLOCOS法等により形成する。

【0051】次に、シリコン基板401 の表面に熱酸化膜403 を形成し、熱酸化膜403 の表面にLPCVD法等により多結晶シリコン膜を形成し、850℃30分間の焼成を行う。この多結晶シリコン膜をRIE等の異方性エッチングにより凸部分の側壁部分のみ残置させ、図11 (a) に示すようにゲート電極405 とする。図11 (a) に示すように、シリコン基板401 の凸部上面のドレイン予定領域404 にp型の不純物をイオン注入する。

【0052】次に、図11 (b) に示すように、ソース予定領域406 にn型の不純物をイオン注入する。この後、シリコン基板401 上に層間絶縁膜409 となる酸化膜等の絶縁膜をCVD法等により形成し、先に注入したイオンの活性化の為に熱処理を行う。そして形成した絶縁膜にフォトリソグラフィ工程及びエッチング法により開口を形成し、この開口にAl等の金属材料を用いたコンタクト405a, 404a, 406aを形成して第4の実施の形態が完成する。

【0053】この第4の実施の形態では素子領域に凸部を利用したが、凹部を利用し、底部及び上部に不純物領域を形成し、凹部の側壁部にゲート電極を形成してもよい。次に本発明の第5の実施の形態を説明する。図12

(a) は本実施の形態の素子領域の斜視図であり、絶縁膜層、層間絶縁膜等は記載していない。図12 (b) は図12 (a) のA-A'断面を示す断面図である。又、

図12(c)は図12(a)のB-B'断面を示す断面である。図12(b)及び(c)では絶縁膜層及び層間絶縁膜等も記載した。

【0054】この実施の形態はソース・ドレイン領域503a, 503b, ゲート絶縁膜504 及びゲート電極505 等がSOI基板を用いて形成されている。半導体層を3次的に囲むようにゲート絶縁膜504 及びゲート電極505 が形成されている。このゲート電極505 を両側から挟むように、半導体層にソース・ドレイン領域503a503bが形成されている。ソース・ドレイン領域503a, 503b とその間に形成されるチャネル領域との境界部はゲート電極505 により覆われている。このソース・ドレイン領域503a, 503b 及びゲート電極505 の上表面には夫々ソースコンタクト507a、ドレインコンタクト507b、及びゲートコンタクト505aが形成されている。又、501 はシリコン基板等の半導体基板、502 はSOI基板の絶縁膜層、503 はSOI基板の半導体層、シリコン層からなる。

【0055】この実施の形態ではゲート電極505 に電圧を印加することでゲート絶縁膜504を介して隣接するシリコン層の表面領域に反転層或いは蓄積層が形成され、チャネル領域510 となる。

【0056】次に、第5の実施の形態の製造方法の一例を図13を用いて説明する。まず、図13(a)に示すように、表面に絶縁膜層とこの絶縁膜上のシリコン膜層が形成されたSOI基板501 のシリコン膜をフォトリソグラフィ工程及びRIE等のエッチングにより図面の横方向に長いシリコン膜503 を形成する。

【0057】次に、約200nmの熱酸化膜をシリコン膜503 の上部及び側部表面に形成する。そして、シリコン膜503 の中央の領域とその周囲を除いた領域を覆うレジストマスクを形成して、希弗酸処理によりシリコン膜503 表面の酸化膜、及びシリコン膜503 下のSOI基板の絶縁膜層をエッチングして空洞を形成する。そして、図13(b)に示すように、熱酸化法によりシリコン膜503 の上部、側部及び底部の表面にゲート酸化膜504 を形成する。

【0058】次に、LPCVD法等により多結晶シリコン膜を形成する。この際、図13(c)に示すように、絶縁膜層の空洞にも多結晶シリコン膜が形成され、これをゲート電極505 として用いる。この後、ソース予定領域503aの他の表面領域にフォトレジストマスクを形成して、イオン注入法等によりAs, P等のn型の不純物を添加する。又、ドレイン予定領域503bには、この他の表面領域にフォトレジストマスクを形成し、BF₂等のp型の不純物を添加する。

【0059】次に、基板501 の上にLPCVD法等により絶縁膜を形成して層間絶縁膜506とした後、熱処理により先に添加した不純物の活性化を行う。この活性化により不純物領域の端部はゲート絶縁膜下に回り込み、トンネルダイオードの電気特性を有効に利用できる。その

後この層間絶縁膜のうちソースコンタクト507a、ドレインコンタクト507b、及びゲートコンタクト505aを形成する開口をフォトリソグラフィ工程及びエッチングにより形成する。この後、基板501 上にAl等の金属膜をスパッタ法等により形成する。この金属膜にリソグラフィ工程及びエッチングを行ってソースコンタクト507a、ドレインコンタクト507b、及びゲートコンタクト505aを形成して第5の実施の形態のMOSトンネル効果素子が完成する。

10 【0060】次に、本発明の第6の実施の形態を説明する。第6の実施の形態では第2の実施の形態において説明したMOSトンネル効果素子を2つ用い直列に接続している。第6の実施の形態では、図14(a)の平面図に示すように2つのドレイン領域605a 605c、及び2つのソース領域605b, 605d の周囲にゲート電極603 が形成されている。2つのドレイン領域605a 605c、及び2つのソース領域605b, 605d はシリコン基板601 の表面領域に素子分離領域602 から離れて形成されている。従って、ゲート電極により、ゲート電極直下のp型シリコン基板601 の表面に反転層或いは誘起層が形成されるとドレイン領域605a, 605c の周囲か、ソース領域605b, 605d の周囲にトンネルダイオードが形成される。

【0061】図14(b)は図14(a)のA-A'断面を示す図である。シリコン基板601 の表面にはLOCOS等の素子分離領域602 が形成されている。ソース・ドレイン領域605a, 605b, 605c, 605d の夫々は素子分離領域602 から離れてシリコン基板601 の表面領域に形成されている。又、ソース・ドレイン領域605a, 605b, 605c, 605d には、層間絶縁膜中に形成されたソース・ドレインコンタクト610 が形成されている。603 は熱酸化法等により形成されたゲート絶縁膜である。

【0062】この第6の実施の形態においてゲート電極603 によりゲート電極603 直下の基板601 表面に蓄積層或いは反転層を形成してトンネルダイオードを形成する。そして、ドレインコンタクト610aとソース領域610cの間にバイアスを与えることで、2つのMOSトンネル効果素子が動作する。これらのI-V特性を図14

(a)に示す。V_cは2つのMOSトンネル効果素子に共通接続するコンタクト610bにおける電位である。又、I₁はドレイン領域605aを構成要素とするMOS型トンネル効果素子に流れる電流である。他方の素子に流れる電流はI₂である。図14(c)に示すように、2つの電流が等しくかつ安定となる点(S0, S1)がある。例えば、S0を'0', S1を'1'に対応させてSRAM

(Static Random Access Memory)セルが構成できる。図15にSRAMセルの回路図を示す。図14(c)において説明したV_cの電位点にトランスファートランジスタT1を備え、このトランスファートランジスタT1によりV_cの電位点とビット線BLをつなぐ。WLはトランスファートランジスタT

1のゲート電極に電位を与えるワード線である。

【0063】

【発明の効果】本発明によれば、素子分離により囲まれたMOSトンネル効果素子の電気特性を良好なものとでき、集積化に適した、半導体装置が得られる。又、電流量を従来よりも大きく得られる効果がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態を説明するための平面図及び断面図である。

【図2】 第1の実施の形態の $I_d - V_d$ 特性を示す特性図である。

【図3】 第1の実施の形態の一製造方法の一部を説明するための断面図である。

【図4】 第1の実施の形態の一製造方法の一部を説明するための断面図である。

【図5】 本発明の第2の実施の形態を説明するための平面図及び断面図である。

【図6】 本発明の第3の実施の形態を説明するための平面図及び断面図である。

【図7】 第3の実施の形態の一製造方法の一部を説明するための断面図である。

【図8】 第3の実施の形態の一製造方法の一部を説明するための断面図である。

【図9】 本発明の第4の実施の形態を説明するための

平面図である。

【図10】 第4の実施の形態を説明するための断面図、及び第4の実施の形態の一製造方法を一部を説明するための断面図である。

【図11】 第4の実施の形態の一製造方法の一部を説明するための断面図である。

【図12】 本発明の第5の実施の形態を説明するための斜視図及び断面図である。

【図13】 第5の実施の形態の一製造方法を説明するための断面図である。

【図14】 本発明の第6の実施の形態を説明するための平面図、断面図及び電気的特性図である。

【図15】 本発明の第6の実施の形態を説明するための回路図である。

【図16】 本発明の従来の技術を説明するための断面図、及び $I_d - V_g$ 特性図である。

【図17】 本発明者らが試作した素子を説明するための平面図、及び断面図である。

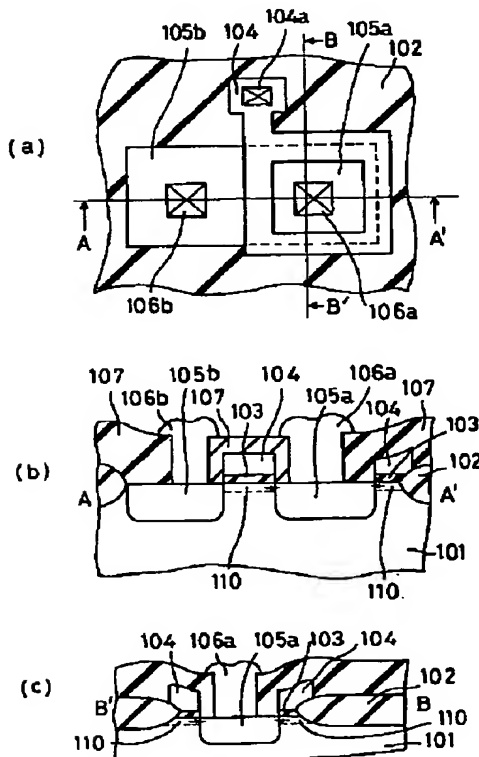
【図18】 本発明者らが試作した素子の $I_d - V_d$ 特性図である。

【符号の説明】

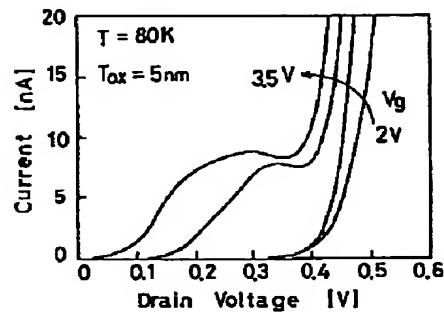
104, 204, 304, 405, 505, 603, 705, 13, 24 …ゲート電極

102, 202, 302, 402, 502, 602, 704, 22…素子分離領域

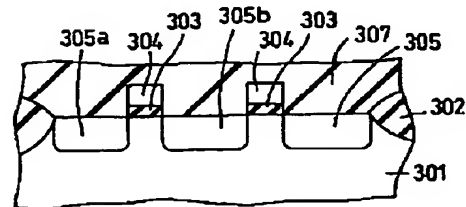
【図1】



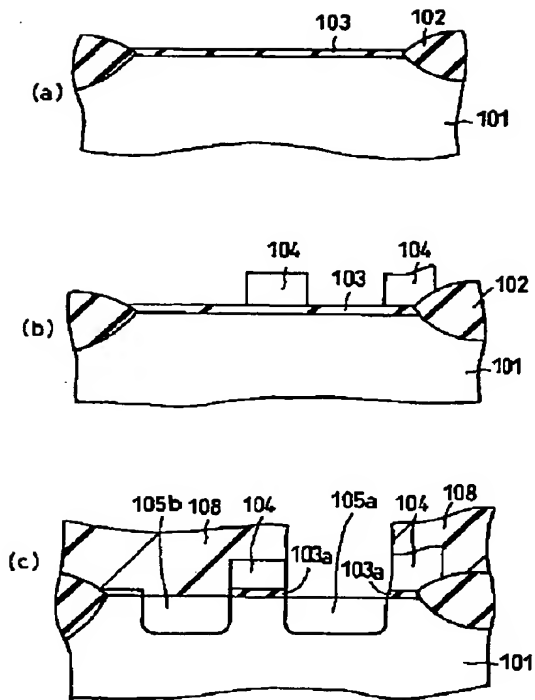
【図2】



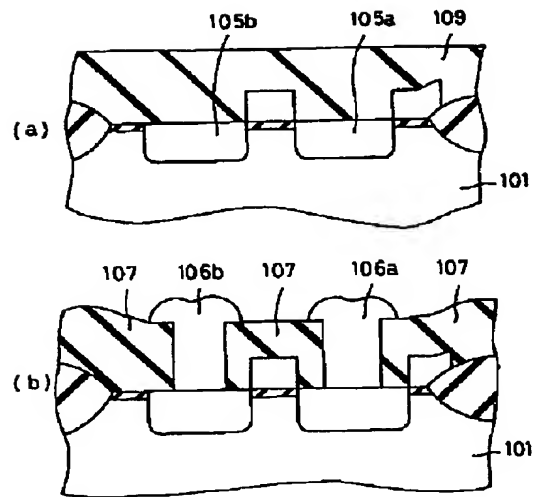
【図8】



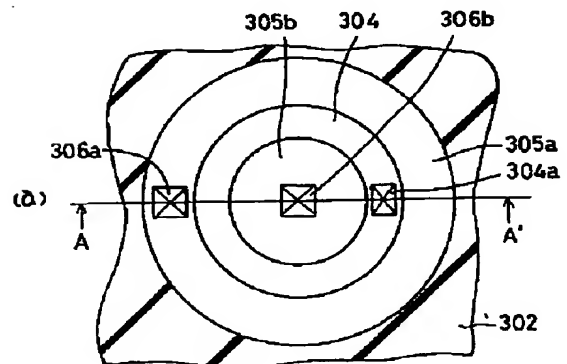
【図 3】



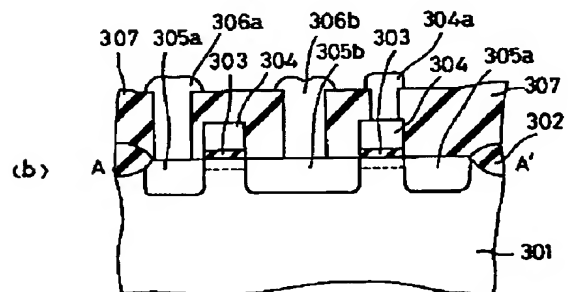
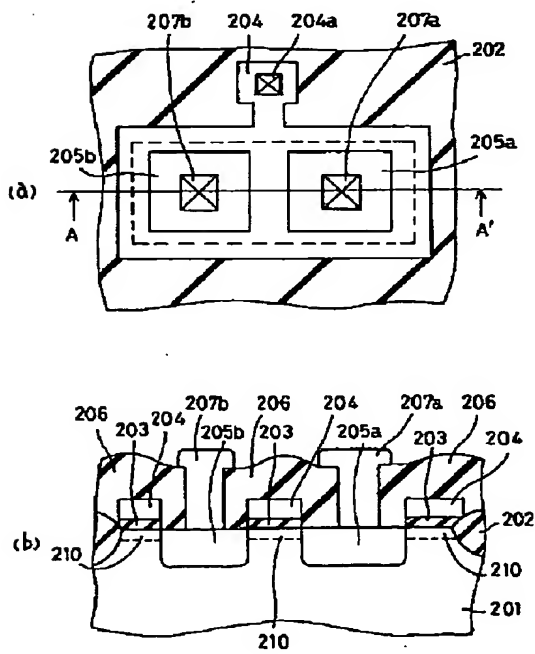
【図 4】



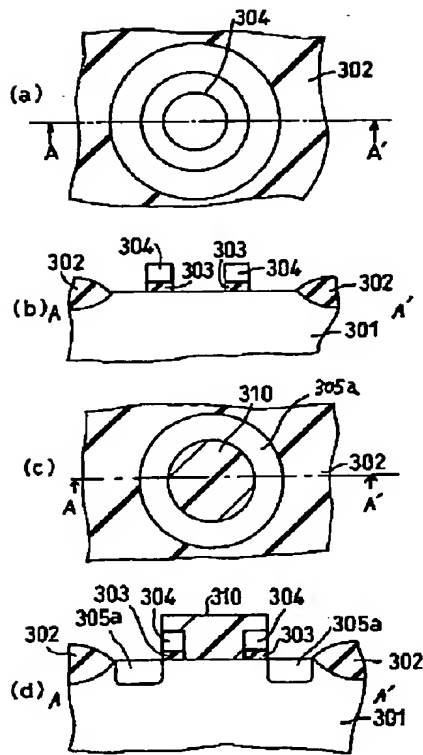
【図 6】



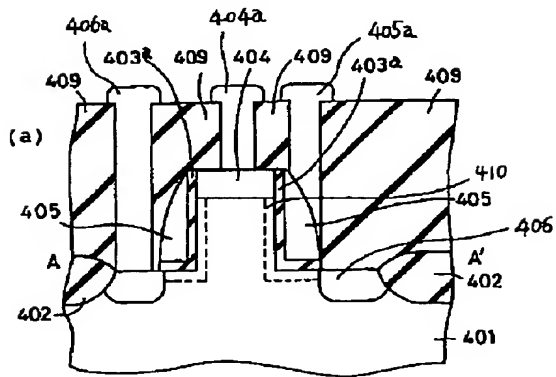
【図 5】



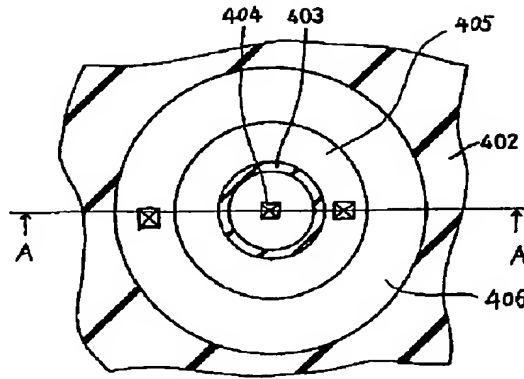
【図7】



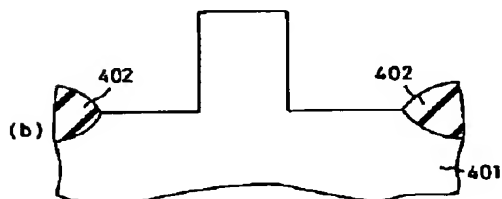
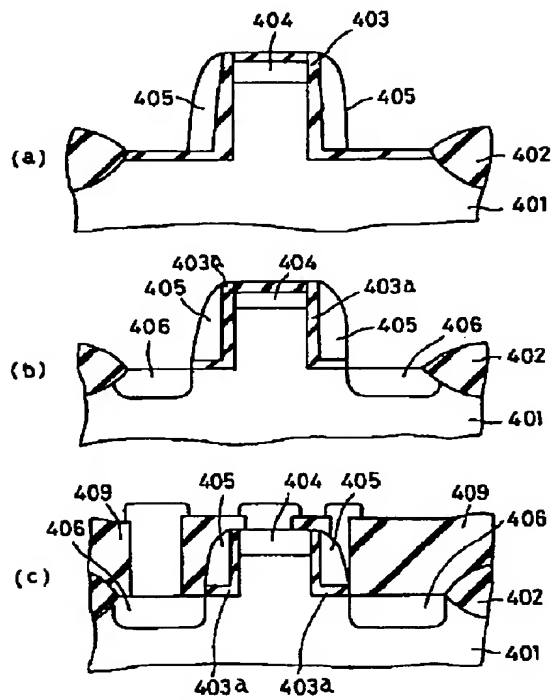
【図10】



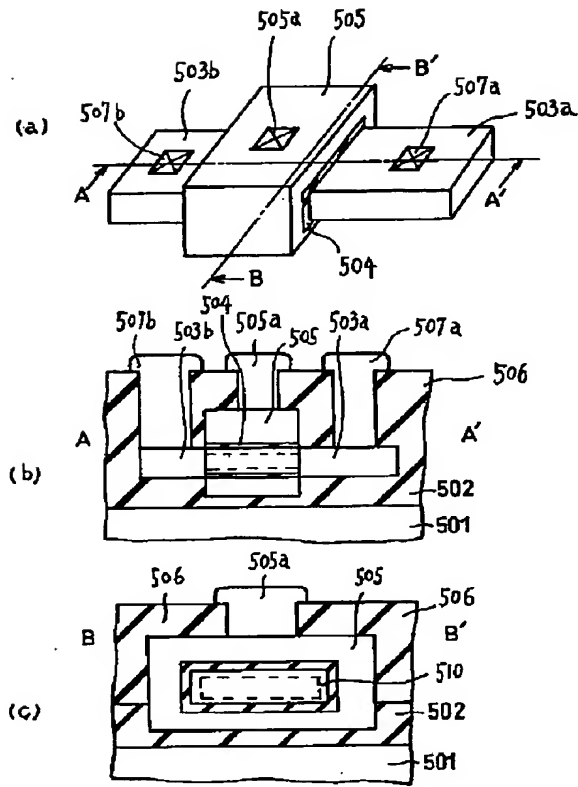
【図9】



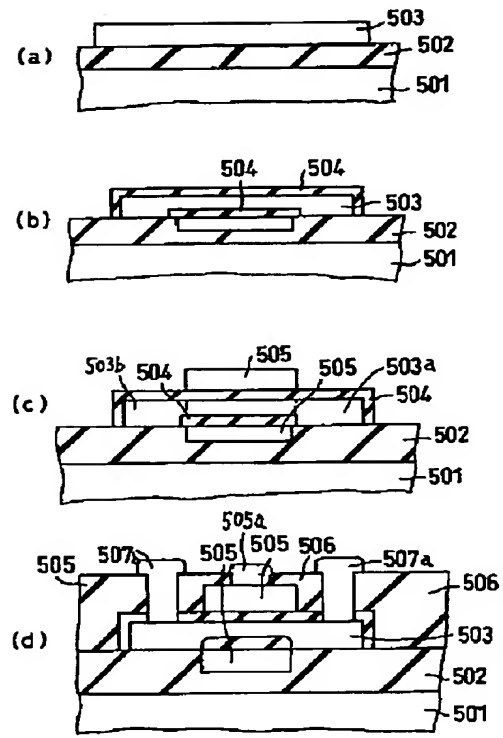
【図11】



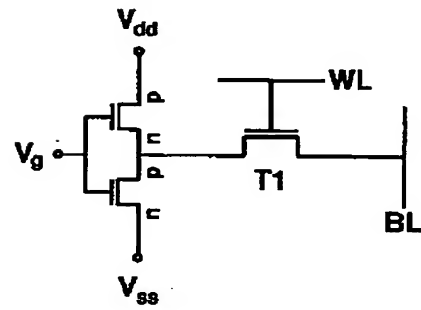
【図12】



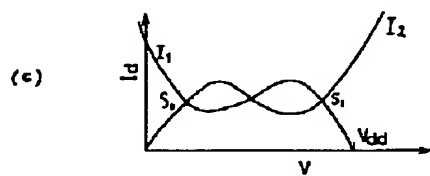
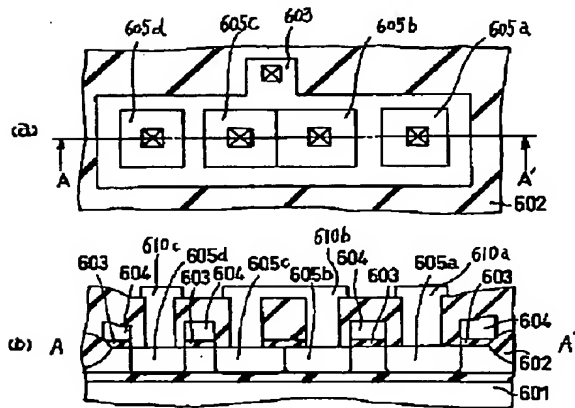
【図13】



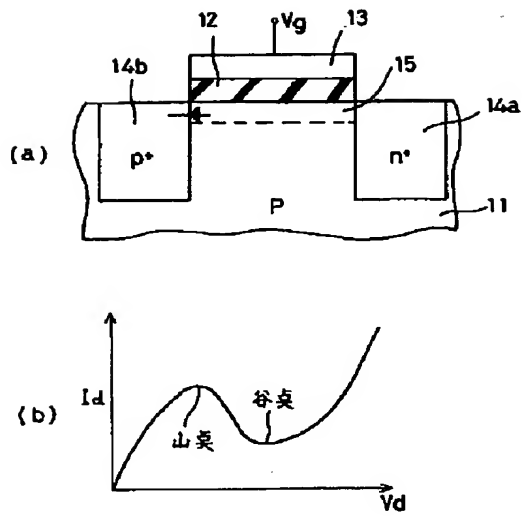
【図15】



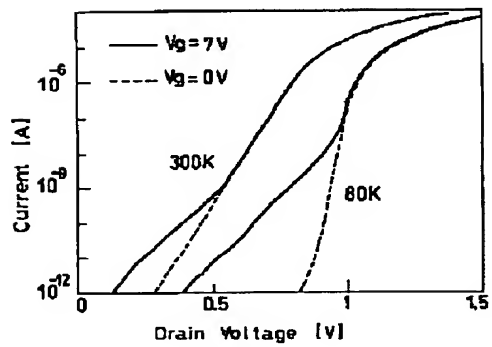
【図14】



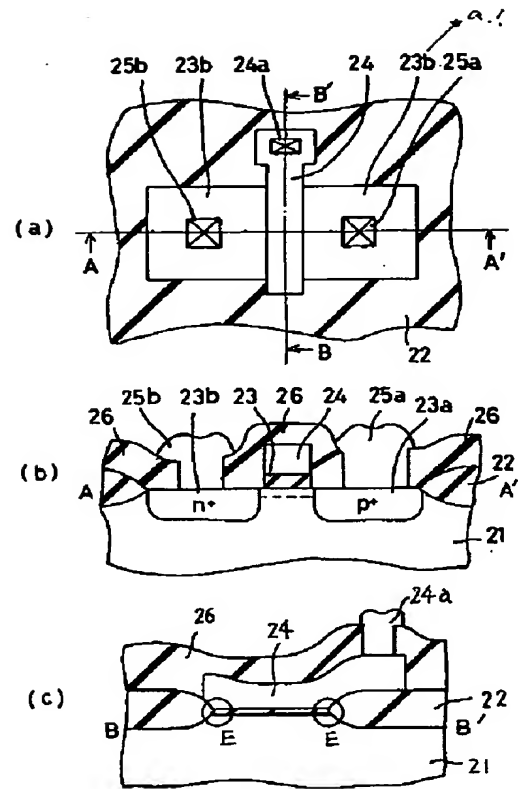
【図16】



【図18】



【図17】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ ~~FADED TEXT OR DRAWING~~
- ☒ ~~BLURRED OR ILLEGIBLE TEXT OR DRAWING~~
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.